

**MENU**

**SEARCH**

**INDEX**

**DETAIL**

**JAPANESE**

1 / 1

---

## **PATENT ABSTRACTS OF JAPAN**

(11)Publication number : **2002-008942**

(43)Date of publication of  
application : **11.01.2002**

---

(51)Int.Cl. **H01G 4/33**  
**H01G 2/06**  
**H01G 4/12**

---

(21)Application number : **2000-181958** (71) **FUJITSU LTD**  
Applicant :

(22)Date of filing : **16.06.2000** (72)Inventor : **KARASAWA KAZUAKI**  
**SHIOGA KENJI**  
**IMANAKA YOSHIHIKO**

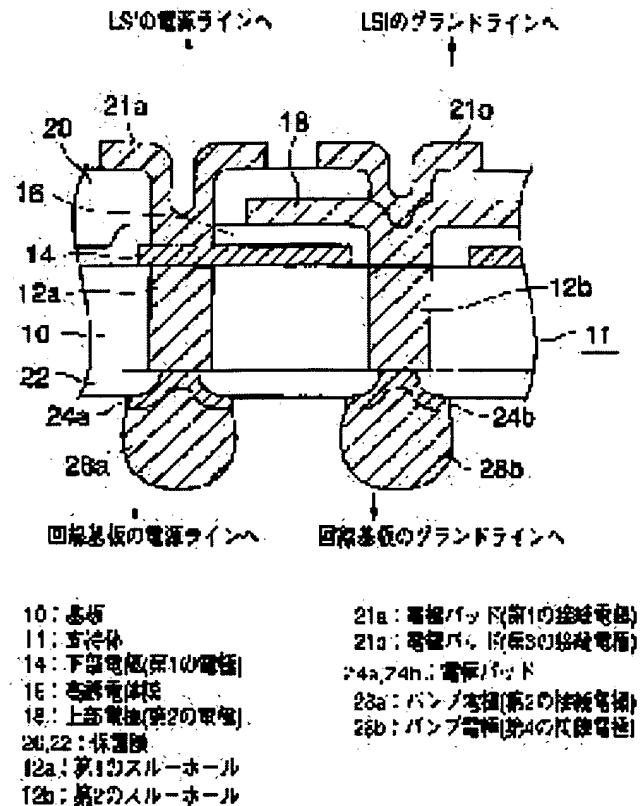
---

**(54) CAPACITOR DEVICE, METHOD OF MANUFACTURING THE SAME, AND MODULE  
MOUNTED WITH THE DEVICE**

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a capacitor device which can be mounted on a circuit board, using a small mounting area and has a large capacitance.

SOLUTION: The capacitor device has a substrate 10, which has a first through-hole 12a filled with a conductor and is composed of simple silicon, a silicon-containing insulating film, or sapphire and a capacitor which is formed by successively laminating a first electrode 14, a capacitor insulating film 16, and a second electrode 18 upon each other in this order. The capacitor is formed on the substrate 10, and the first electrode 14 of the capacitor is connected to the conductor packed in the through-hole 12a.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコト(参考)
H 01 G 4/33		H 01 G 4/12	3 9 4 5 E 0 0 1
2/06			4 0 0 5 E 0 8 2
4/12	3 9 4	4/06	1 0 2
	4 0 0	1/035	C

審査請求 未請求 請求項の数5 OL (全12頁)

(21)出願番号	特願2000-181958(P2000-181958)	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成12年6月16日(2000.6.16)	(72)発明者	柄澤 一明 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(72)発明者	塩賀 健司 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(74)代理人	100091672 弁理士 岡本 啓三

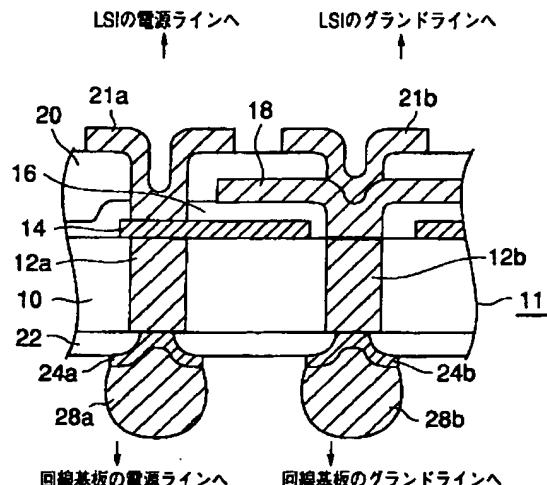
最終頁に続く

(54)【発明の名称】 コンデンサ装置、コンデンサ装置の製造方法及びコンデンサ装置が実装されたモジュール

(57)【要約】

【課題】 回路基板への実装面積が小さく、かつコンデンサ容量が大きいコンデンサ装置を提供する。

【解決手段】 第1のスルーホール12aを有し、第1のスルーホール12a内に導電体が充填された、シリコン単体或いはシリコン含有絶縁膜からなる基板10、もしくはサファイアからなる基板10と、第1の電極14と容量絶縁膜16と第2の電極18とがこの順に積層されてなるコンデンサとを有し、コンデンサが基板10上に形成され、コンデンサの第1の電極14が第1のスルーホール12a内の導電体に接続されていることを特徴とする。



10: 基板	21a: 電極パッド(第1の接続電極)
11: 支持体	21b: 電極パッド(第3の接続電極)
14: 下部電極(第1の電極)	24a, 24b: 電極パッド
16: 高誘電体膜	28a: バンプ電極(第2の接続電極)
18: 上部電極(第2の電極)	28b: バンプ電極(第4の接続電極)
20, 22: 保護膜	
12a: 第1のスルーホール	
12b: 第2のスルーホール	

### 【特許請求の範囲】

【請求項 1】 シリコン単体或いはシリコン含有絶縁膜からなる基板、又はサファイアからなる基板に第 1 のスルーホールを形成する工程と、

前記第 1 のスルーホール内に導電体を充填する工程と、前記基板上に前記第 1 のスルーホール内の前記導電体に接続された第 1 の電極を形成する工程と、

前記第 1 の電極上に容量絶縁膜を形成する工程と、

前記容量絶縁膜上に第 2 の電極を形成する工程とを有することを特徴とするコンデンサ装置の製造方法。

【請求項 2】 前記基板に第 2 のスルーホールを形成する工程と、

前記第 2 のスルーホール内に導電体を充填する工程と、前記第 2 の電極を前記第 2 のスルーホール内に充填された導電体に接続する工程とを有することを特徴とする請求項 1 に記載のコンデンサ装置の製造方法。

【請求項 3】 第 1 のスルーホールを有し、前記第 1 のスルーホール内に導電体が充填された、シリコン単体或いはシリコン含有絶縁膜からなる基板、又はサファイアからなる基板と、

第 1 の電極と、容量絶縁膜と、第 2 の電極とがこの順に積層されてなるコンデンサとを有し、

前記コンデンサが前記基板上に形成され、前記コンデンサの第 1 の電極が前記第 1 のスルーホール内の導電体に接続されていることを特徴とするコンデンサ装置。

【請求項 4】 前記基板に導電体が充填された第 2 のスルーホールが形成され、前記第 2 の電極が該第 2 のスルーホール内の導電体に接続された請求項 3 のコンデンサ装置が、複数積層されてなり、各々の前記コンデンサ装置の表面と裏面にそれぞれ前記第 1 のスルーホールの導電体と接続する第 1 の接続電極と第 2 の接続電極とが設けられ、各々の前記コンデンサ装置の表面と裏面にそれぞれ前記第 2 のスルーホールの導電体と接続する第 3 の接続電極と第 4 の接続電極とが設けられ、前記コンデンサ装置相互で前記第 1 の接続電極と前記第 2 の接続電極とが接続され、前記第 3 の接続電極と第 4 の接続電極とが接続されていることを特徴とする請求項 3 に記載のコンデンサ装置。

【請求項 5】 請求項 4 記載のコンデンサ装置と半導体装置とが積層されてなり、前記半導体装置が前記第 1 及び第 3 の接続電極を通して前記コンデンサ装置と電気的に接続されていることを特徴とするコンデンサ装置が実装されたモジュール。

### 【発明の詳細な説明】

#### 【0 0 0 1】

【発明の属する技術分野】 本発明はコンデンサ装置、コンデンサ装置の製造方法及びコンデンサ装置が実装されたモジュールに関し、さらに詳しくは、電源ラインとグランドラインの間に接続されるデカップリングコンデンサの機能を有するコンデンサ装置、コンデンサ装置の製

造方法及びコンデンサ装置が実装されたモジュールに関する。

#### 【0 0 0 2】

【従来の技術】 近年、マイクロプロセッサをはじめとするデジタル L S I 半導体装置は、演算速度の高速化及び低消費電力化による電源電圧の低減が進められている。このため、L S I のインピーダンスが急激に変動したときに L S I の動作電源電圧が不安定になりやすい。この電源電圧を安定させ、かつ高周波ノイズを低減させるため、L S I の電圧電源ラインとグランドラインとの間にデカップリングコンデンサを配置している。また、高速動作デジタル L S I はさらなる高周波 (G H z) 領域での安定した動作が要求されており、高周波ノイズによる L S I の誤動作防止が必要となる。

【0 0 0 3】 従来のデカップリングコンデンサはマザーボードである回路基板上にチップコンデンサを L S I チップ近傍に設けて実装している。この場合、チップコンデンサと L S I チップとの間で配線の引き回しが必要であり、これらのリード間では比較的大きなインダクタンスが存在する。従って、チップコンデンサを設けても高速動作の L S I に対しての電源電圧変動の抑制及び高周波ノイズの低減の効果は少なくなってしまう。

【0 0 0 4】 デカップリングコンデンサに要求されるることは基板回路の等価直列抵抗 (E S R) 及び等価直列インダクタンス (E S L) を低減することである。特に、デカップリングコンデンサと L S I との間の配線の引き回しによるインダクタンスの増加はデカップリングコンデンサの高周波特性を妨げている。そこで、L S I の直下にコンデンサを配置することにより、L S I とデカップリングコンデンサとの配線距離を最短にしてインダクタンスを低減させることが提案されている。特開平 4-211191 にはマザーボードであるセラミック回路基板にコンデンサを内臓して形成し、この上に L S I を実装することにより、L S I とコンデンサとの配線距離を短くしてインダクタンスを低減させることが開示されている。

【0 0 0 5】 また、セラミック回路基板に多数のコンデンサやコンデンサを多層構造にして内臓させることにより、コンデンサの容量を大きくしている。さらに、L S I などを実装するセラミックス回路基板とは別にコンデンサを内臓したセラミックス基板を作成して、L S I とコンデンサを内臓したセラミックス基板とをマザーボードである回路基板に実装する方法が提案されている。この場合、セラミックス基板はグリーンシート法で製造される。

【0 0 0 6】 グリーンシート法では、アルミナなどのセラミックス粉末を粘結剤などでシート状にしたグリーンシート上に銅などの導電ペーストで配線パターンを形成し、スルーホールにペーストを充填して、複数枚重ねてプレスし、焼成して回路基板を作成する。

## 【0007】

【発明が解決しようとする課題】しかしながら、上記コンデンサ内臓のセラミックス回路基板では容量絶縁膜の材料である高誘電体の焼成温度が700℃であるため、回路基板、製造工程及び材料が限定されてしまう。そして、コンデンサの容量をさらに増やそうとすると電極やグリーンシートを介して強誘電体を積層する必要があり、製造が極端に難しくなる。

【0008】さらに、従来例のコンデンサ内臓のセラミックス回路基板では一部のコンデンサがショートすると回路基板全体が不良となるため、回路基板の歩留りを上げるのが困難であった。ところで、マイクロプロセッサを始めとするデジタルLSIのGHz帯での高速動作、低消費電力化及びチップの大面積化によりLSIパッケージのピン数が増加し、ピン間のピッチが微細化されてくる。これに対応して、マザーボードである回路基板の配線ピッチを小さくする必要がある。

【0009】しかしながら、上記グリーンシートのスルーホールの加工は、通常、ドリルで行われるので、加工できるスルーホールのピッチは100μmから200μm程度が限界であった。また、LSIへの高周波電流の給電においては、通常、デカップリングコンデンサが高周波バイパスとして用いられる。デカップリングコンデンサを高周波領域で用いるには、コンデンサ容量を大きくし、かつデカップリングコンデンサの実装領域を小さくして給電経路を短くし、寄生インダクタンスを減少させる必要がある。従って、デカップリングコンデンサの製造にはさらなる、微細加工が要求されている。

【0010】しかしながら、前述のグリーンシート法では微細加工に限界があるため、高速デジタルLSIに対応したデカップリングコンデンサを製造することは困難である。このように、従来技術では、高周波領域に対応するための、回路基板への実装面積が小さく、かつ大きな容量をもつコンデンサ装置を製造できないという問題点がある。

【0011】本発明は上述の問題点を鑑みて創作されたものであり、大きな容量を容易に得ることができ、かつ微細加工が可能で、回路基板への実装面積を小さくすることができるコンデンサ装置、コンデンサ装置の製造方法及びコンデンサ装置が実装されたモジュールを提供することを目的とする。

## 【0012】

【課題を解決するための手段】上記した課題は、シリコン単体或いはシリコン含有絶縁膜からなる基板、又はサファイアからなる基板に第1のスルーホールを形成する工程と、前記第1のスルーホール内に導電体を充填する工程と、前記基板上に前記第1のスルーホール内の前記導電体に接続された第1の電極を形成する工程と、前記第1の電極上に容量絶縁膜を形成する工程と、前記容量絶縁膜上に第2の電極を形成する工程とを有することを

特徴とするコンデンサ装置の製造方法により解決される。

【0013】この発明によれば、シリコン単体或いはシリコン含有絶縁膜からなる基板、又はサファイアからなる基板に表面から裏側まで貫通したスルーホールを形成している。シリコン単体或いはシリコン含有絶縁膜からなる基板を用いた場合、微細加工が可能なドライエッチング技術を用いてスルーホールを形成することができる。また、サファイアからなる基板を用いた場合、レーザーを用いた加工技術で微細なスルーホールを形成することができる。これにより、実装面積の小さいコンデンサ装置を製造することができる。

【0014】上記した課題は、第1のスルーホールを有し、前記第1のスルーホール内に導電体が充填された、シリコン単体或いはシリコン含有絶縁膜からなる基板、又はサファイアからなる基板と、第1の電極と、容量絶縁膜と、第2の電極とがこの順に積層されてなるコンデンサとを有し、前記コンデンサが前記基板上に形成され、前記コンデンサの第1の電極が前記第1のスルーホール内の導電体に接続されていることを特徴とするコンデンサ装置により解決する。

【0015】シリコン単体或いはシリコン含有絶縁膜からなる基板、又はサファイアからなる基板を用いているので、上記したようにドライエッチング技術やレーザーを用いた加工技術などによる微細加工が容易であり、これにより、実装面積の小さいコンデンサ装置を製造することができる。また、容量絶縁膜中に第1及び第2の電極と対向して、少なくとも1つの中間電極を介在させている。この中間電極が電気的に浮いた状態にある場合、第1の電極及び第2の電極の間には複数のコンデンサが直列に形成されることになる。これにより、直列接続されたコンデンサのうち一部のコンデンサの電極同士がショートしても一部のコンデンサはコンデンサとしての機能を保持しているので、コンデンサ装置自体は不良にならない。従って、コンデンサ装置の歩留りおよび信頼性を向上させることができる。

【0016】特に、歪みが発生し易く、そのためショートし易い基板両端等に配置されるコンデンサにこの構造を採用すると有効である。また、コンデンサの第1の電極と接続する導電体の充填された第1のスルーホールの他に、第2の電極と接続する導電体の充填された第2のスルーホールを設けている。そして、コンデンサ装置の表裏に第1のスルーホールと接続する第1及び第2の接続電極を設け、第2のスルーホールと接続する第3及び第4の接続電極を設け、第1の接続電極と第2の接続電極同士が接続し、第3の接続電極と第4の接続電極同士が接続するようにコンデンサ装置を積層している。

【0017】これにより、第1の電極と高誘電体膜と第2の電極からなるコンデンサを並列に接続することができる、大きな容量をもったコンデンサ装置を容易に

製造することができる。また、マザーボードである回路基板に半導体装置とコンデンサ装置とを積層して相互接続し、モジュール化している。即ち、コンデンサ装置の第1及び第3の接続電極に対応する位置に半導体装置の接続電極を形成し、コンデンサ装置の第2及び第4の接続電極に対応する位置に回路基板の接続電極を形成した上で、それらの接続電極同士が対応するよう、半導体装置、コンデンサ装置及び回路基板を積層する。

【0018】これにより、最短距離で半導体装置、コンデンサ装置及び回路基板間の相互接続が可能となり、このため、半導体装置及び回路基板とコンデンサ装置との配線距離を短くすることができる。これにより、回路のインダクタンスを低減することができ、従って、高周波数領域での回路動作の性能向上を図ることができる。

#### 【0019】

【発明の実施の形態】以下に、本発明の実施の形態について図を参照しながら説明する。

(第1の実施の形態) 図1は、本発明の第1の実施の形態のコンデンサ装置の概略を示す断面図である。

【0020】図1に示すように、シリコン単体からなる基板10に第1のスルーホール12a及び第2のスルーホール12bが形成され、この中に導電体が充填されて、デカップリングコンデンサ(コンデンサ装置)の支持体11が構成されている。コンデンサの支持体11の表面に、第1の電極である下部電極14と、容量絶縁膜である高誘電体膜16と、第2の電極18とがこの順に積層されて、一個のコンデンサを構成している。

【0021】下部電極14は第1のスルーホール12a内の導電体と接続し、さらに電極パッド(第1の接続電極)21aと接続している。また、第1のスルーホール12a内の導電体は、支持体11の裏面で電極パッド21dを介して第2の接続電極であるバンプ電極28cと接続している。なお、電極パッド21aはLSIの電源ラインに接続され、バンプ電極28cはマザーボードである回路基板の電源ラインに接続される。

【0022】上部電極18は第2のスルーホール12b内の導電体と接続し、さらに電極パッド(第3の接続電極)21bと接続している。第2のスルーホール12b内の導電体は、支持体11の裏面で電極パッド21eを介し第4の接続電極であるバンプ電極28dに接続されている。なお、電極パッド21bはLSIのグラウンドラインに接続され、バンプ電極28dはマザーボードである回路基板のグラウンドラインに接続される。

【0023】なお、本実施の形態のコンデンサ装置の基板10はシリコン単体からなるが、その代わりに酸化シリコン(シリコン含有絶縁膜)やサファイアをコンデンサ装置の支持体11の基板材料にしてもよい。デカップリングコンデンサを、上記のように、LSIの電源ラインとグラウンドラインとの間に接続することにより、電源電圧の変動を低減させ、或いはマザーボードである回路

基板内の高周波ノイズを低減させることができる。

【0024】この発明の実施の形態のデカップリングコンデンサによれば、基板材料としてシリコン、酸化シリコン、又はサファイアを用いているので、半導体プロセスでのドライエッティング技術やレーザーを用いた加工技術により形成することができる。すなわち、スルーホールがドリルを使って形成されるセラミックス基板を用いたコンデンサ装置と比較して、スルーホール間のピッチを縮小することができる。従って、コンデンサ装置の微細化が可能であるので、デカップリングコンデンサの高周波特性を向上させることができる。

【0025】次に、本発明の第1の実施の形態のコンデンサ装置の製造方法を図2乃至図4を参照して説明する。図2(a)乃至(d)、図3(a)乃至(c)、図4(a)乃至(b)は本発明の第1の実施のコンデンサ装置の製造方法を示す断面図である。図2(a)に示すように、まず、厚さが300μmのシリコン基板10上の所定の領域にレジストパターン(図示せず)を形成し、CF<sub>4</sub>などを用いたドライエッティングにより、直径Bが60μm、ピッチAが150μmのスルーホール12a、12b、12cを形成する。その後、スルーホール12a、12b、12c内にCVD法で導電体を充填してコンデンサの支持体11とする。

【0026】図2(a)では5つのスルーホールを形成しているが、そのうち両端の2つが第1のスルーホール12aであり、その内側の2つが第2のスルーホール12bであり、中央部の1つが半導体装置及び回路基板の信号ラインを相互接続するスルーホール12cである。次に、図2(b)に示すように、下から順に、膜厚約0.1μmのTi(チタン)膜14aを、膜厚約0.2μmのPt(白金)膜14bをそれぞれスパッタリングにて成膜する。続いて、フォトリソグラフィーによりレジスト膜(図示せず)をパターニングして開口部を形成した後、このレジスト膜をマスクにして、Pt膜14bとTi膜14aとをエッティングして、第1の電極である下部電極14を形成する。

【0027】次に、図2(c)に示すように、高誘電体材料であるBaSrTiO<sub>3</sub>(バリウムストロンチウムチタン酸化膜、以下、BSTという)膜をスパッタリングにより成膜する。そして、BST膜上にレジスト膜(図示せず)を形成した後、フォトリソグラフィーによりレジスト膜をパターニングして開口部を形成し、その後、このレジスト膜をマスクにして、バッファードフッ酸(NH<sub>4</sub>F:HF=6:1)をエッティング液に用いて、BSTをエッティングし、容量絶縁膜となる高誘電体膜16を形成する。このとき、下部電極14上の1部、第2のスルーホール12b上及び信号ラインのスルーホール12c上にも開口部が形成される。

【0028】次に、図2(d)に示すように、スパッタリング法により膜厚約0.2μmのPt膜を成膜した

後、その上にレジスト膜を形成する。続いて、フォトリソグラフィーにより、レジスト膜（図示せず）をパターニングして開口部を形成した後、このレジスト膜をマスクにして、P t 膜をエッチングし、第2のスルーホール 1 2 b の導電体と接続した上部電極（第2の電極） 1 8 を形成する。これにより、B S T 膜からなる高誘電体層 1 6 が下部電極 1 4 と上部電極 1 8 により挟まれたコンデンサが形成される。

【0029】また、このとき、同時に高誘電体膜 1 6 の開口部を通して下部電極 1 4 と接続した導電膜と、同じく信号ラインのスルーホール内の導電体と接続した導電膜とを形成する。次に、図3（a）に示すように、感光性のポリイミド膜を塗布し、パターニングして開口部を形成する。開口部は、上部電極 1 8 上と、高誘電体膜 1 6 の開口部を通して下部電極 1 4 と接続した導電膜上と、信号ラインのスルーホール 1 2 c 内の導電体と接続した導電膜上とに形成される。残るポリイミド膜が保護膜 2 0 となる。

【0030】次いで、保護膜 2 0 上に下から順に C r (クロム) 膜、N i (ニッケル) 膜、A u (金) 膜をそれぞれ成膜する。続いて、レジスト膜（図示せず）を形成した後、フォトリソグラフィーによりレジスト膜をパターニングして開口部を形成する。その後、このレジスト膜をマスクにして、A u 膜、N i 膜およびC r 膜をエッチングし、5つの電極パッド 2 1 a、2 1 b、2 1 c を形成する。表面の5つの電極パッド 2 1 a、2 1 b、2 1 c のうち、両端の2つが第1のスルーホール 1 2 a 内の導電体と接続した第1の接続電極 2 1 a であり、その内側の2つが第2のスルーホール 1 2 b 内の導電体と接続した第3の接続電極 2 1 b であり、中央部の1つは信号ラインの接続電極 2 1 c である。

【0031】次に、図3（c）に示すように、支持基板 1 1 の裏面に感光性のポリイミド膜を塗布した後、露光し、現像することによりスルーホール 1 2 a、1 2 b、1 2 c の領域に開口部を有する保護膜 2 2 を形成する。次に、支持体 1 1 の裏面の保護膜 2 2 上に下から順に、C r 膜、N i 膜、A u 膜を成膜する。続いて、レジスト膜（図示せず）を形成した後、フォトリソグラフィーによりレジスト膜をパターニングして開口部を形成する。その後、このレジスト膜をマスクにして、A u 膜、N i 膜およびC r 膜をエッチングして、スルーホール 1 2 a、1 2 b、1 2 c の導電体と接続する5つの電極パッド 2 4 a、2 4 b、2 4 c を形成する。

【0032】次に、図4（a）及び図4（b）に示すように、電極パッド 2 4 a、2 4 b、r 2 4 c 上にP b (鉛) - 5 w t % S n (錫) からなるはんだをメタルマスクを通じて蒸着してはんだ膜 2 6 を形成する。そして、はんだ膜 2 6 の表面の酸化を防止するためのフラックスを塗布し、3 5 0 ℃で加熱、溶融して回路基板と接続するための5つのバンプ電極 2 8 a、2 8 b、2 8 c

を形成する。裏面の5つのバンプ電極 2 8 a、2 8 b、2 8 c のうち、両端の2つが第1のスルーホール 1 2 a 内の導電体と接続した第2の接続電極 2 8 a であり、その内側の2つが第2のスルーホール 1 2 b 内の導電体と接続した第4の接続電極 2 8 b であり、中央部の1つは信号ラインの接続電極 2 8 c である。

【0033】以上により、第1の実施の形態のコンデンサ装置 3 0 が完成する。以上のように、第1の実施の形態のコンデンサ装置 3 0 の製造方法によれば、シリコン単体の基板 1 0 を用いているため、ドライエッチングなどの半導体製造プロセスを採用することができる。従つて、微細ピッチのスルーホール 1 2 a、1 2 b、1 2 c を形成することができ、実装面積を小さくすることができる。すなわち、マザーボードである回路基板に実装する場合、L S I との配線距離を短くすることができるので、回路のインダクタンスが減少し、デカップリングコンデンサの高周波特性を向上させることができる。

【0034】また、微細加工技術により多数のコンデンサを基板 1 0 上に搭載できるので、実装面積を増やすずに大きな容量のデカップリングコンデンサを製造することができる。なお、本実施の形態では、コンデンサ装置 3 0 の基板材料としてシリコンを用いているが、酸化シリコン（シリコン含有絶縁膜）やサファイアなども用いることができる。この場合、酸化シリコンはシリコンと同様に C F 4 などを用いたドライエッチングにより、また、サファイアはレーザーを用いた加工技術により、それぞれ微細ピッチのスルーホールを形成することができる。

【0035】また、本実施の形態では、高誘電体膜 1 6 の材料としてB S T を用いているが、P b Z r x T i 1-x O 3 (P Z T) 及びB i S r 2 T a 2 O 9 (Y 1 と呼ぶ)などを用いてもよい。これらはスパッタリングやゾル・ゲル法により成膜することができる。

（第2の実施の形態）第2の実施の形態において、第1の実施の形態と異なるところは、図2における基板 1 0 の材料としてガラス基板を用いている点、高誘電体膜層 1 6 の材料としてP b M g N b O 3 (以下、PMNと称する。)を使用している点である。

【0036】さらに、異なる点は高誘電体膜層 1 6 のエッチング方法であり、その他の工程は第1の実施例と同一である。以下に、第2の実施の形態の製造方法について上記異なる点を中心に説明する。図2乃至図4を流用する。第1の実施例と同様な方法で厚さが3 0 0 μ m のガラス基板 1 0 にスルーホール 1 2 a、1 2 b、1 2 c を形成し、スルーホール 1 2 a、1 2 b、1 2 c 内に導電体を充填してコンデンサ装置の支持体 1 1 とする。

【0037】次いで、下部電極 1 4 を形成した後に、P M N をパルスレーザーデポジション（P L D）法で成膜する。続いて、レジスト膜（図示せず）を形成した後、フォトリソグラフィーによりレジスト膜をパターニング

し、その後、このレジスト膜をマスクにして、イオンミリング法でPMNをエッチングして、高誘電体層18を形成する。なお、PMNの形成方法として、通常のスパッタリング又はPMNの原料を含む液体をスピンドルで塗布し、溶剤を乾燥させ、焼成させて成膜するゾル・ゲル法を用いてもよい。

【0038】次の工程の上部電極18の成膜からバンプ電極28a、28b、28c形成までの工程は第1の実施の形態と同一な製造方法により形成する。以上のように、スルーホール12a、12b、12cを有するガラス基板10上に、高誘電体であるPMNを容量絶縁膜としたコンデンサが形成されたコンデンサ装置30を製造することができる。

【0039】第2の実施の形態においては、基板10としてガラス基板を用いているので、第1の実施の形態と同様に、微細加工が可能であり、第1の実施の形態と同様な効果を有する。

(第3の実施の形態) 図5は、第3の実施の形態のコンデンサ装置30aの構造を示す断面図である。

【0040】第3の実施の形態のコンデンサ装置30aにおいて、第1及び第2の実施の形態と異なるところは、図5に示すように、下部電極(第1の電極)14と上部電極(第2の電極)18との間の高誘電体膜(容量絶縁膜)16a、16b中に中間電極19が介在し、かつこの中間電極19は電気的に浮いた状態となっている。即ち、LSIの電源ラインとグランドラインとの間で複数のコンデンサが電気的に直列に接続されていることである。

【0041】また、図5では、図4(b)と異なり、3つのスルーホール12a、12b、12cが形成されている。そのうち、一端のスルーホールは、電源ラインと接続される導電体が充填された第1のスルーホール12aであり、他端のスルーホールはグランドラインと接続される導電体が充填された第2のスルーホール12bであり、中央部のスルーホールは導電体が充填された信号ラインのスルーホール12cである。

【0042】下部電極14は第1のスルーホール12a内の導電体と接続し、かつ表面で電極パッド(第1の接続電極)21aと接続し、裏面でバンプ電極(第2の接続電極)28aと接続している。上部電極18は第2のスルーホール12b内の導電体と接続し、かつ表面で電極パッド(第3の接続電極)21bと接続し、裏面でバンプ電極(第4の接続電極)28bと接続している。信号ラインの表面の電極パッド21c及び裏面のバンプ電極(接続電極)28cは信号ラインのスルーホール12c内の導電体と接続している。

【0043】以上のように、第3の実施の形態によれば、電源ラインとグランドラインとの間に2個のコンデンサが電気的に直列に接続されている。これにより、1個のコンデンサがショートしても他のコンデンサはコン

デンサとしての機能を保持しているので、コンデンサ装置30a自体が不良になることはない。従って、このような構造のコンデンサは、特に、歪みが発生し易く、そのためショートし易い基板両端等に配置されると有効である。

【0044】なお、この実施の形態では、容量絶縁膜16a、16b中に中間電極19を1つ介在させて2個のキャパシタを電気的に直列に接続したコンデンサ装置を用いているが、容量絶縁膜中に中間電極を2つ以上形成して3個以上のキャパシタを電気的に直列に接続したコンデンサ装置を用いてもよい。次に、図5を参照して第3の実施の形態のコンデンサ装置30aの製造方法を説明する。

【0045】第3の実施の形態において、第1の実施の形態の製造方法と異なるところは、容量絶縁膜16a、16bの材料であるBSTの成膜方法が異なる点、及び電源ラインに接続される下部電極14とグランドラインに接続される上部電極18との間で複数のコンデンサが直列接続されるように複数のコンデンサを形成している点である。その他の工程は第1の実施例と同一であるので説明を省略する。

【0046】まず、第1の実施の形態と同一の工程で下部電極14まで形成する。この下部電極14は第1のスルーホール12a内の導電体と接続されるように形成する。続いて、上記したゾル・ゲル法を用いてBST膜を成膜する。次いで、BST膜上にレジスト膜(図示せず)を形成した後、フォトリソグラフィー技術を用いてレジスト膜をパターニングし、開口部を形成する。次いで、このレジスト膜をマスクにして、バッファードフッ酸にてBST膜をエッチングして第1の高誘電体層16aを形成する。

【0047】次に、膜厚約0.2μmのPt膜をスパッタリングで成膜する。続いて、Pt膜の上にレジスト膜(図示せず)を形成した後、フォトリソグラフィーにてレジスト膜をパターニングし、開口部を形成する。これをマスクにして、Pt膜をエッチングして、中間電極19を形成する。中間電極19は下部電極14及び上部電極18に接続せずに、電気的に浮いた状態になるように形成する。

【0048】次に、再度、BST膜を前記と同じ方法で成膜した後、パターニングして中間電極19上に第2の高誘電体層16bを形成する。次に、膜厚約0.2μmのPt膜をスパッタリングで成膜し、中間電極19の形成方法と同じ方法で、上部電極18を形成する。上部電極18は第2のスルーホール12b内の導電体に接続されるように形成する。以上により、下部電極14と上部電極18との間に、下部電極14と第1の高誘電体層16aと中間電極19とで構成されるコンデンサと、上部電極18と第2の高誘電体層16bと中間電極19とで構成されるコンデンサとが形成される。

【0049】次に、第1の実施の形態と同様に、感光性のポリイミド膜からなる保護層20と電極パッド21a、21b、21cとを形成する。次に、支持体11の裏側にも保護層22と電極パッド24a、24b、24cを形成し、さらに各電極パッド24a、24b、24c上にバンプ電極(図示せず)を形成する。

【0050】以上の方針により、下部電極14と上部電極18との間に中間電極19を共通の電極とする2つのコンデンサが形成される。このとき、中間電極19が電気的に浮いた状態となっているため、下部電極14が電源ラインに接続され、上部電極18がグランドラインに接続されると、電源ラインとグランドラインとの間に2つのコンデンサが電気的に直列に接続されることになる。

【0051】(第4の実施の形態)図6は第4の実施の形態のコンデンサ装置30bの構造を示す断面図である。第4の実施の形態のコンデンサ装置30bにおいて、他の実施例と異なるところは、電源ラインとグランドラインとの間に電気的に直列接続したコンデンサと、電気的に並列接続したコンデンサが混在して形成されている点である。

【0052】図6に示すように、シリコン基板10にスルーホール12a、12b、12cが形成され、その中に導電体が充填されて支持体11が形成されている。支持体11上にはスルーホール12a、12b、12cの導電体の領域が開口されるようにポリイミド膜からなる保護膜20が形成されている。まず、C部の構造を説明する。C部にはTi膜とPt膜とからなる下部電極14が形成され、電源ラインに接続される。下部電極14の上にはBST膜からなる第1の高誘電体層16aとPt膜からなる中間電極19とが形成され、中間電極19はグランドラインに接続されている。中間電極19の上にはBST膜からなる第2の高誘電体層16bとPt膜からなる上部電極18が形成され、上部電極18は電源ラインに接続されている。

【0053】以上のように、C部では、ともに電源ラインに接続されている下部電極14と上部電極18の間に中間電極19が介在し、中間電極19はグランドラインに接続されている。すなわち、C部では2個のコンデンサがLSIの電源ラインとグランドラインとの間で並列に配置されている。次にD部の構造の説明をする。D部にはTi膜とPt膜とからなる下部電極14が形成され、電源ラインに接続されている。下部電極14の上にはBST膜からなる第1の高誘電体層16aとPt膜からなる中間電極19とが形成され、中間電極19は電気的に浮いた状態となっている。中間電極19の上にはBST膜からなる第2の高誘電体層16bとPt膜からなる上部電極18とが形成され、上部電極18はグランドラインに接続されている。

【0054】以上のように、D部では、下部電極14と

上部電極18の間に中間電極19が介在し、中間電極19は電気的に浮いた状態になっている。すなわち、D部では2個のコンデンサがLSIの電源ラインとグランドラインとの間で直列に接続されている。以上のように、電源ラインとグランドラインとの間で、C部では2個のコンデンサが並列に接続され、D部では2個のコンデンサが直列に接続されている。

【0055】コンデンサを直列に接続すると1個のコンデンサがショートしてもコンデンサ装置全体は不良にならない。すなわち、コンデンサ装置は冗長回路を備えていることになる。一方では、コンデンサを並列にすると容量値を増加させることができる。従って、特に、故障率の高いD部では直列接続のコンデンサを配置し、故障率の低いC部では並列接続のコンデンサを配置することにより、コンデンサ装置30bの信頼性を向上させつつ、コンデンサ装置30bのコンデンサ容量を大きくして性能向上を図ることができる。

【0056】次に、本実施の形態の複数のコンデンサが直列と並列に混在するコンデンサ装置の製造方法について説明する。第1の実施の形態と異なるところは、高誘電体層16のBST膜の成膜方法が異なる点、及び複数のコンデンサが設けられ電源ラインとグランドラインとの間でコンデンサが直列及び並列に配置されるように形成する点である。その他の工程は第1の実施例と同一であるので、説明を省略する。

【0057】まず、第1の実施の同一の工程で下部電極14を形成する。C部及びD部の下部電極14は共に電源ラインに接続されるようにパターニングする。その後、前記したゾル・ゲル法を用いてBST膜を成膜する。続いて、BST膜上にレジスト膜を(図示せず)を形成した後、フォトリソグラフィーにより、レジスト膜をパターニングする。その後、このレジスト膜をマスクにしてBST膜をバッファードフッ酸にてエッチングし、第1の高誘電体層16aを形成する。

【0058】次に、膜厚約0.2μmのPt膜をスパッタリングで成膜する。そして、Pt膜をパターニングして、中間電極19を形成する。ここで、C部の中間電極19はグランドラインに接続されるように、D部の中間電極19は電気的に浮いた状態になるように、それぞれをパターニングする。次に、再度、前記と同じ方法でBST膜を成膜し、パターニングして第2の高誘電体層16bを形成する。

【0059】次に、膜厚0.2μmのPt膜をスパッタリングで成膜し、中間電極19と同じ方法で上部電極18を形成する。ここで、C部の上部電極18は電源ラインに接続されるようにパターニングし、D部の上部電極18はグランドラインに接続されるようにパターニングする。次に、第1の実施の形態と同様に、感光性のポリイミド膜からなる保護層20と電極パッド21a、21b、21cとを形成する。電極パッド21a、21b、

21cはそれぞれ第1のスルーホール12a内の導電体、第2のスルーホール12b内の導電体、信号ラインのスルーホール12c内の導電体と接続されるように形成する。

【0060】次に、支持体11の裏面にも保護層22と電極パッド24a、24b、24cとを形成し、さらにそれらの上にそれぞれバンプ電極(図示せず)を形成する。電極パッド24a、24b、24cはそれぞれ第1のスルーホール12a内の導電体、第2のスルーホール12b内の導電体、信号ラインのスルーホール12c内の導電体と接続している。

【0061】以上により、電源ラインとグランドラインとの間に直列接続されたコンデンサと並列接続されたコンデンサとが混在するコンデンサ装置30bを製造することができる。

(第5の実施の形態) 次に、上記コンデンサ装置30を搭載した、第5の実施の形態のマルチチップモジュール(以下、MCMという)について説明する。

【0062】図7(a)、(b)及び図8はこの実施の形態のコンデンサ装置30が実装されたMCMの断面図である。また、図9は図7(b)の部分拡大断面図である。図7(a)に示すこの実施の形態のMCMにおいては、回路基板46上に複数のLSI44が載置され、各々のLSI44の近傍にコンデンサ装置30が2個積層されている。そして、LSI44とコンデンサ装置30とは回路基板46上の配線を介して接続されている。

【0063】このコンデンサ装置30自体は半導体プロセスの微細加工技術であるドライエッチングを用いて製造することができる。従って、コンデンサ装置30自体が小さいので、MCMにおけるコンデンサの実装面積を小さくすることができる。このため、LSI44との配線の引き回しが少なくなり、回路の寄生インダクタンスを低減することができ、これによりLSI44の動作を安定させることができる。

【0064】図7(b)に示すこの実施の形態のMCMにおいては、回路基板46上に複数のLSI44が搭載され、各々のLSI44と回路基板46との間にそれぞれコンデンサ装置30が2個ずつ積層されている。図7(b)に示すMCMの構造をさらに詳細に説明すると、図9に示すように、コンデンサ装置42は、2つのコンデンサ装置30相互間で、電極パッド(第1の接続電極)21aとバンプ電極(第2の接続電極)28a同士、電極パッド(第3の接続電極)21bとバンプ電極(第4の接続電極)28b同士、及び信号ラインの電極パッド21cとバンプ電極28c同士を接続させて積層したものである。

【0065】また、コンデンサ装置42上にLSI44を積層することにより、LSI44の5つの電極パッド38a、38b、38c及びバンプ電極34a、34b、34cを介してLSI44がコンデンサ装置42に

接続されている。LSI44の5つの電極パッド38a、38b、38cのうち両端の電極パッド38aが電源ラインと接続され、その内側の電極パッド38bがグランドラインと接続され、中央部の電極パッド38cが信号ラインと接続されている。

【0066】また、コンデンサ装置42上に回路基板46を積層することにより、回路基板46の5つの電極パッド36a、36b、36cを介して回路基板46がコンデンサ装置42に接続されている。回路基板46の5つの電極パッド36a、36b、36cのうち両端の電極パッド36aが電源ラインと接続され、その内側の電極パッド36bがグランドラインと接続され、中央部の電極パッド36cが信号ラインと接続されている。

【0067】以上のように、図7(b)のMCMによれば、コンデンサ装置42とLSI44と回路基板46とを積層することにより直に相互接続を行なうことができるので、MCMの構成要素間の配線距離を短くすることができる。このため、回路のインダクタンスを低減させることができる。また、図7(a)と同様に、コンデンサ装置30を積層することにより、実装面積を増やすずに容量値を容易に大きくすることができる。従って、デカップリングコンデンサの高周波数特性を向上させることができるので、LSI44の動作を安定させることができる。

【0068】図8に示すこの実施の形態のMCMにおいては、回路基板46の表面に複数のLSI44が搭載されるとともに、裏面にもLSI44が搭載されている。そして、各々のLSI44と回路基板46の間にそれぞれコンデンサ装置30が3個ずつ積層されている。一つのコンデンサ装置はコンデンサ装置30が3個積層されてなるので、実装面積を増やすずに図7(b)の形態よりさらにデカップリングコンデンサの容量を大きくすることができる。このため、寄生インダクタンスを低減してMCMに実装されたLSI44の高周波領域での動作を安定させつつ、回路動作の高速化を図ることができる。

【0069】また、回路基板46の裏面にもコンデンサ装置30とLSI44が実装されているので、コンデンサ装置とLSIとを含むMCMの集積度を向上させることができる。なお、上記では、コンデンサ装置として、第1及び第2の実施の形態のコンデンサ装置30を用いているが、第3及び第4の実施の形態のコンデンサ装置30a、30bを用いてもよい。

【0070】本発明は、その精神また主要な特徴から逸脱することなく、他のいろいろな形で実施することができる。そのため、前述の実施の形態はあらゆる点で単なる例示にすぎず、限定的に解釈してはならない。本発明の範囲は、特許請求範囲によって示すものであって、実施の形態には、なんら拘束されない。例えば、高誘電体の層数が1～2層である例を説明したが、さらに多層構

造として容量を増やしてもよい。

(付記)

(付記 1) シリコン単体或いはシリコン含有絶縁膜からなる基板、又はサファイアからなる基板に第 1 のスルーホールを形成する工程と、前記第 1 のスルーホール内に導電体を充填する工程と、前記基板上に前記第 1 のスルーホール内の前記導電体に接続された第 1 の電極を形成する工程と、前記第 1 の電極上に容量絶縁膜を形成する工程と、前記高誘電体膜上に第 2 の電極を形成する工程とを有することを特徴とするコンデンサ装置の製造方法。

【0071】(付記 2) 前記基板に第 2 のスルーホールを形成する工程と、前記第 2 のスルーホール内に導電体を充填する工程と、前記第 2 の電極を前記第 2 のスルーホール内に充填された導電体に接続する工程とを有することを特徴とする付記 1 に記載のコンデンサ装置の製造方法。

(付記 3) 第 1 のスルーホールを有し、前記第 1 のスルーホール内に導電体が充填された、シリコン単体或いはシリコン含有絶縁膜からなる基板、又はサファイアからなる基板と、第 1 の電極と、容量絶縁膜と、第 2 の電極とがこの順に積層されてなるコンデンサとを有し、前記コンデンサが前記基板上に形成され、前記コンデンサの第 1 の電極が前記第 1 のスルーホール内の導電体に接続されていることを特徴とするコンデンサ装置。

【0072】(付記 4) 前記コンデンサは、前記容量絶縁膜中に前記第 1 の電極及び前記第 2 の電極と対向して、少なくとも 1 つの中間電極が介在していることを特徴とする付記 3 記載のコンデンサ装置。

(付記 5) 前記中間電極は電気的に浮いた状態にあることを特徴とする付記 4 に記載のコンデンサ装置。

【0073】(付記 6) 導電体が充填された第 2 のスルーホールが前記基板に形成され、前記第 2 の電極が該第 2 のスルーホール内の導電体に接続されていることを特徴とする付記 3 乃至 5 の何れか一に記載のコンデンサ装置。

(付記 7) 前記コンデンサ装置が複数積層されてなり、各々の前記コンデンサ装置の表面と裏面にそれぞれ前記第 1 のスルーホールの導電体と接続する第 1 の接続電極と第 2 の接続電極とが設けられ、各々の前記コンデンサ装置の表面と裏面にそれぞれ前記第 2 のスルーホールの導電体と接続する第 3 の接続電極と第 4 の接続電極とが設けられ、前記コンデンサ装置相互で前記第 1 の接続電極と前記第 2 の接続電極とが接続され、前記第 3 の接続電極と第 4 の接続電極とが接続されていることを特徴とする付記 6 に記載のコンデンサ装置。

【0074】(付記 8) 付記 7 に記載のコンデンサ装置と半導体装置とが積層されてなり、前記半導体装置が前記第 1 及び第 3 の接続電極を通して前記コンデンサ装置と電気的に接続されていることを特徴とするコンデン

サ装置が実装されたモジュール。

(付記 9) 前記コンデンサ装置の裏面にさらに回路基板が積層されてなり、前記回路基板が前記第 2 の接続電極及び前記第 4 の接続電極を通して前記コンデンサ装置と接続されていることを特徴とする付記 8 に記載のコンデンサ装置が実装されたモジュール。

【0075】(付記 10) 前記半導体装置及び前記回路基板はそれぞれ電源端子と接地端子とを有し、前記コンデンサ装置の前記第 1 の接続電極及び前記第 2 の接続電極はそれぞれ前記半導体装置及び前記回路基板の前記電源端子に接続され、前記コンデンサ装置の前記第 3 の接続電極及び前記第 4 の接続電極はそれぞれ前記半導体装置及び前記回路基板の前記接地端子に接続されていることを特徴とする付記 9 に記載のコンデンサ装置が実装されたモジュール。

【0076】(付記 11) 前記中間電極が電気的に浮いた状態にあるコンデンサが、前記基板の端部に配置されていることを特徴とする付記 5 に記載のコンデンサ装置。

【0077】

【発明の効果】以上説明したように、本発明によれば、シリコン単体或いはシリコン含有絶縁膜からなる基板、もしくはサファイアからなる基板にスルーホールを形成している。単体或いはシリコン含有絶縁膜からなる基板、或いはサファイアからなる基板を用いることにより、ドライエッチング技術やレーザーでの加工技術を用いて微細加工することができる。従って、微細ピッチのスルーホールを容易に形成することができ、セラミックス基板を用いた場合に比べて、実装面積の小さいコンデンサ装置を製造することが可能となる。

【0078】さらに、コンデンサ装置を多層に積層することにより、実装面積を増やすことなく容易に大きな容量を有するコンデンサ装置を得ることが可能となる。また、マザーボードである回路基板に半導体装置とコンデンサ装置とを積層することにより直に相互接続することができるので、回路基板、半導体装置及びコンデンサ装置相互間の配線距離を短くすることが可能となる。

【0079】以上により、回路のインダクタンスを低減することができ、これにより、高周波数領域でのコンデンサ装置の性能を向上させることができるとなる。

【図面の簡単な説明】

【図 1】第 1 の実施の形態のコンデンサ装置を示す断面図である。

【図 2】(a) ~ (d) は第 1 及び第 2 の実施の形態のコンデンサ装置の製造方法を工程順に示す断面図(その 1)である。

【図 3】(a) ~ (c) は第 1 及び第 2 の実施の形態のコンデンサ装置の製造方法を工程順に示す断面図(その 2)である。

【図 4】(a) 及び (b) は第 1 及び第 2 の実施の形態

のコンデンサ装置の製造方法を工程順に示す断面図（その3）である。

【図5】第3の実施の形態である複数のコンデンサが電気的に直列に接続されているコンデンサ装置を示す断面図である。

【図6】第4の実施の形態である複数のコンデンサが電気的に直列及び並列に接続されているコンデンサ装置を示す断面図である。

【図7】(a)及び(b)は第5の実施の形態の半導体装置とコンデンサ装置とが実装されたマルチチップモジュールを示す断面図（その1）である。

【図8】第5の実施の形態の半導体装置とコンデンサ装置とが実装されたマルチチップモジュールを示す断面図（その2）である。

【図9】同じく図7(b)の部分拡大断面図である。

#### 【符号の説明】

10 シリコン基板（基板）、

11 支持体、

12a 第1のスルーホール、

12b 第2のスルーホール、

12c 信号ラインのスルーホール、

14 下部電極（第1の電極）、

16 高誘電体膜、

16a 第1の高誘電体膜、

16b 第2の高誘電体膜、

18 上部電極（第2の電極）、

19 中間電極、

20, 22 保護膜、

21a 電極パッド（第1の接続電極）、

21b 電極パッド（第2の接続電極）、

21c 電極パッド（信号ラインの接続電極）、

28a パンプ電極（第3の接続電極）、

28b パンプ電極（第4の接続電極）、

28c 信号ラインのパンプ電極（信号ラインの接続電極）、

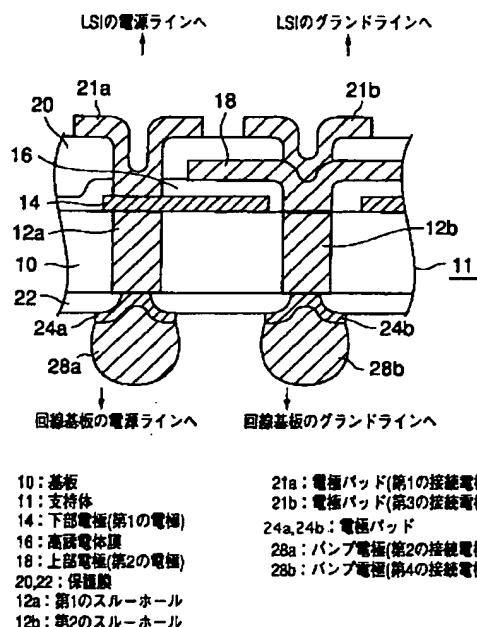
30, 30a, 30b, 42 コンデンサ装置、

40 I/Oピン、

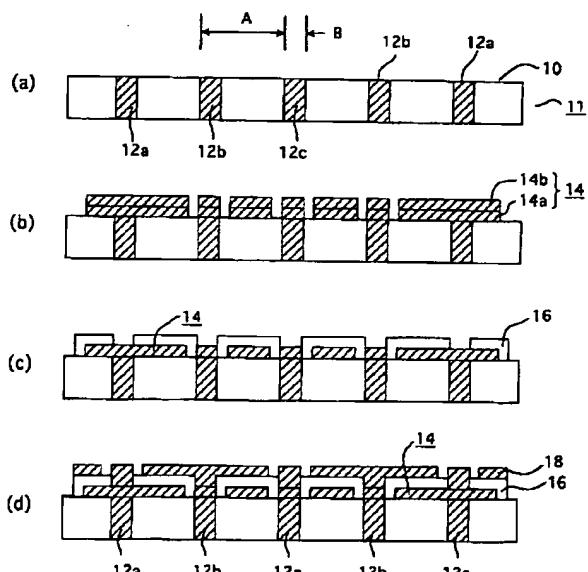
44 LSI、

46 回路基板。

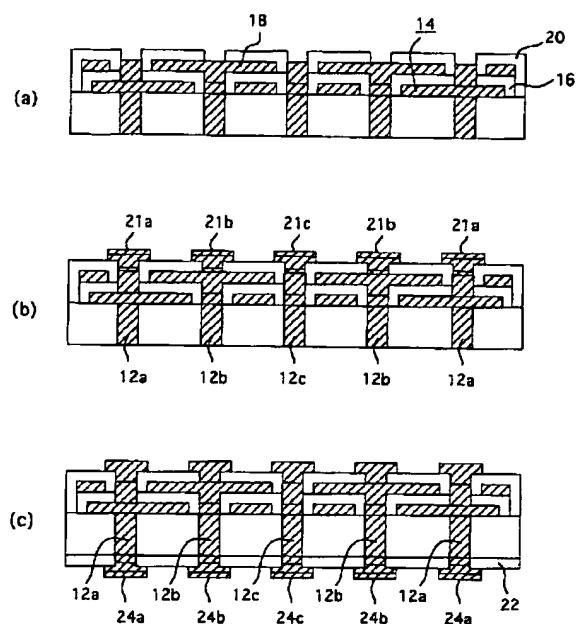
【図1】



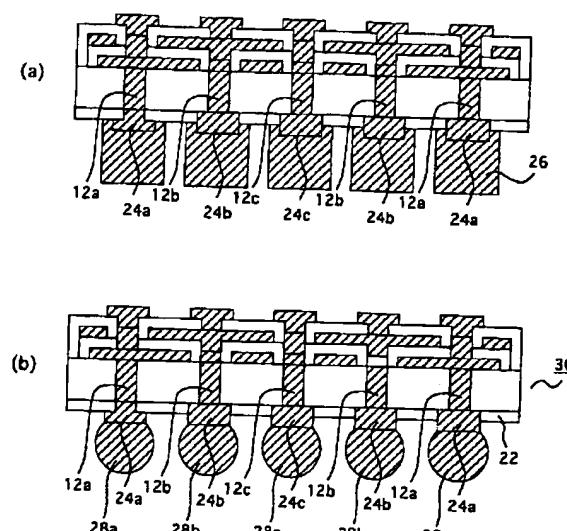
【図2】



【図3】

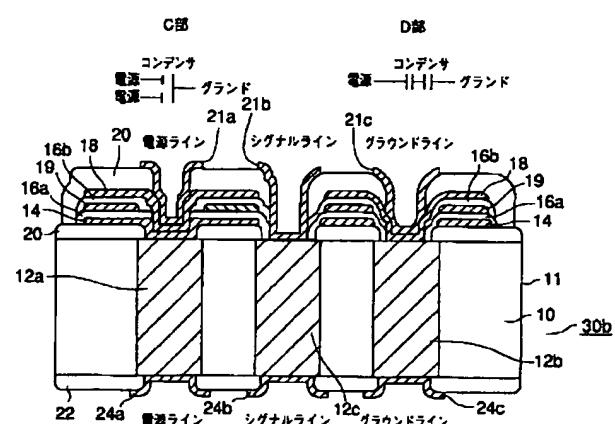
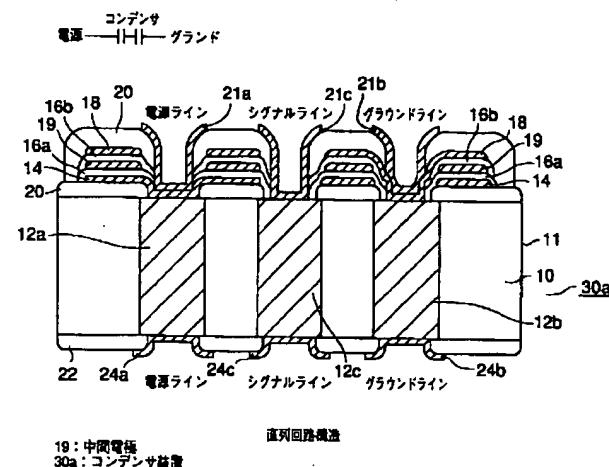


【図4】

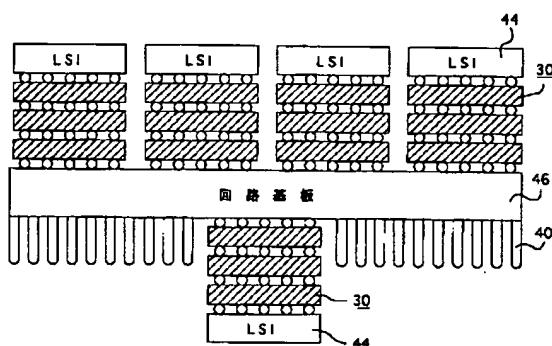


【図6】

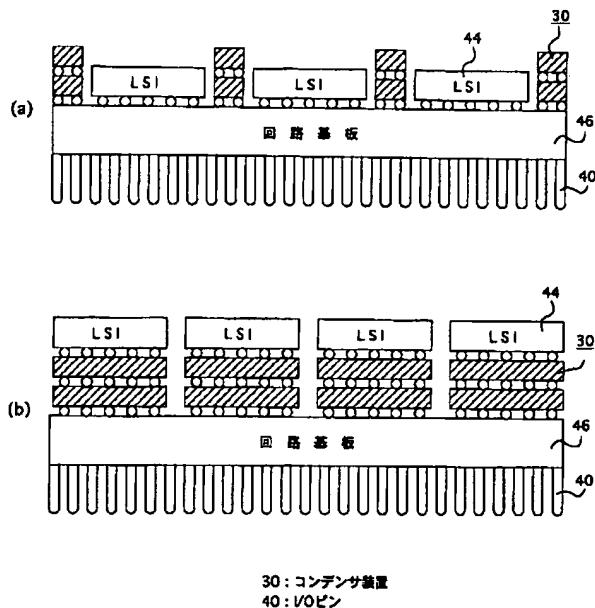
【図5】



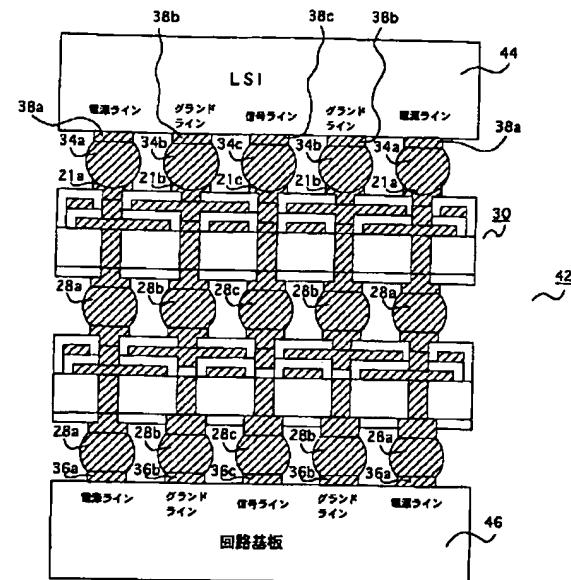
【図8】



【図7】



【図9】



フロントページの続き

(72) 発明者 今中 佳彦  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

Fターム(参考) 5E001 AB01 AC04 AC10 AE01 AE03  
AF02 AH03 AJ01 AJ02 AJ03  
5E082 AA01 AB01 BB02 BB05 BC39  
CC02 EE05 EE11 EE23 EE37  
FF05 FG03 FG26 FG42 GG01  
GG10 GG11 GG21 JJ02 JJ15  
JJ21 LL13